

UNITED STATES PATENT APPLICATION

of

MIODRAG TEMERINAC

and

NORBERT GREITSCHUS

for

**KOMPENSATIONSSCHALTUNGSANORDNUNG UND
KOMPENSATIONSVERFAHREN ZUM KOMPENSIEREN VON
NICHT-LINEAREN VERZERRUNGEN EINES AD-WANDLERS**

Kompensationsschaltungsanordnung und Kompensationsverfahren
zum Kompensieren von nicht-linearen Verzerrungen eines AD-
Wandlers

5

Die Erfindung bezieht sich auf eine Kompensations-
schaltungsanordnung zum Kompensieren von nicht-linearen
Verzerrungen eines AD-Wandlers (AD: Analog/Digital) mit den
oberbegrifflichen Merkmalen des Patentanspruchs 1 bzw. auf
10 ein Kompensationsverfahren zum Kompensieren von nicht-
linearen Verzerrungen eines AD-Wandlers.

AD-Wandler sind ein kritischer Teil in integrierten
Schaltungen mit gemischter, d. h. analoger und digitaler,
15 Signalverarbeitung. Die Anforderungen bezüglich der
Linearität des AD-Wandlers sind bei den üblichen Toleranzen
der analogen Bauelemente sehr schwer zu erreichen. Die
dafür benötigten Maßnahmen im Bereich des Analogdesigns
verursachen hohe Kosten und/oder eine hohe Stromaufnahme
20 der Schaltungsanordnung.

Zum Vermeiden nicht-linearer Verzerrungen bei der Analog-
Digital-Wandlung der AD-Wandler werden
Kompensationsanordnungen zum Kompensieren solcher nicht-
25 linearer Verzerrungen des AD-Wandlers verwendet, wobei
solche Kompensationsanordnungen einen Analogsignaleingang
aufweisen. Üblicherweise sind sie eingangsseitiger
Bestandteil des AD-Wandlers.

30 Die Aufgabe der Erfindung besteht darin, eine
Kompensationsschaltungsanordnung zum Kompensieren von
nicht-linearen Verzerrungen eines AD-Wandlers
vorzuschlagen, welche ein vereinfachtes Gesamt-Analogdesign
bei vorzugsweise auch verringerter Stromaufnahme
35 ermöglicht.

Diese Aufgabe wird durch eine Kompensations-
schaltungsanordnung zum Kompensieren von nicht-linearen
Verzerrungen eines AD-Wandlers mit den Merkmalen des
5 Patentanspruchs 1 bzw. ein Verfahren zum Kompensieren von
nicht-linearen Verzerrungen eines AD-Wandlers mit den
Merkmalen des Patentanspruchs 18 gelöst.

Vorteilhafterweise kann eine
10 Kompensationsschaltungsanordnung zum Kompensieren von
nicht-linearen Verzerrungen eines AD-Wandlers mit einem
Signaleingang und einer Kompensationsanordnung aus
digitalen Schaltungselementen zum digitalen Kompensieren
der nicht-linearen Verzerrungen ausgebildet werden, wobei
15 der Signaleingang als Kompensationseingang ein
Digitalsignaleingang zum Zuführen eines vom AD-Wandler
verzerrt ausgegebenen Signals ist. Durchgeführt wird somit
eine nachträgliche digitale Kompensation bzw. Entzerrung
der nicht-linearen Verzerrungen eines vorgeschalteten AD-
20 Wandlers. Dafür erforderliche digitale Schaltungselemente
sind kostengünstig und mit einem einfachen Digital-
Schaltungsdesign bereitstellbar. Hohe Kosten oder eine
erhöhte Stromaufnahme im Bereich einer dem AD-Wandler
vorgeschalteten oder integrierten Kompensationsanordnung
25 sind somit nicht erforderlich.

Verfahrensgemäß wird somit nach einer Analog-Digital-
Wandlung in dem AD-Wandler mit einer Ausgabe eines nicht-
linear verzerrten Digitalsignals nachträglich eine
30 Kompensation im digitalen Schaltungsabschnitt vorgenommen.

Vorteilhafte Ausgestaltungen sind Gegenstand abhängiger
Ansprüche.

Ein Ausführungsbeispiel und Modifikationen dazu werden nachfolgend anhand der Zeichnung näher erläutert. Es zeigen:

- 5 Fig. 1 Grundelemente der Kompensationsschaltungsanordnung zum Kompensieren von nicht-linearen Verzerrungen eines AD-Wandlers;
- 10 Fig. 2 eine Schaltungsanordnung zum Bestimmen eines Testsignals;
- Fig. 3 eine Schaltungsanordnung zur iterativen Berechnung von Korrektur-Koeffizienten und
- 15 Fig. 4 eine alternative Schaltungsanordnung zur iterativen Bestimmung der Korrektur-Koeffizienten mit einer Nachschlagtabelle.

Wie dies aus Fig. 1 ersichtlich ist, besteht die
20 beispielhafte Kompensationsschaltungsanordnung aus einem in der Darstellung linksseitigen analogen Abschnitt und einem in der Darstellung rechtsseitigen digitalen Abschnitt. Einem AD-Wandler ADC/1 (AD: Analog/Digital) wird ein analoges Eingangssignal $x(t)$ zugeführt. Aus dem Ausgang des
25 AD-Wandlers 1 wird nach der Analog-Digital-Wandlung eine digitale Zeichenfolge x_n ausgegeben, welche dem analogen Eingangssignal $x(t)$ entspricht. Aufgrund der Verwendung eines herkömmlichen AD-Wandlers 1 ist die aus diesem ausgegebene digitale Folge x_n nicht-linear verzerrt. Der
30 Index n steht für die Folge von Abtastwerten x_n , $n = 0, 1, 2, \dots$

Die AD-gewandelte Abfolge x_n wird nachfolgend dem Eingang einer Kompensationsschaltung 2 zugeführt. Die
35 Kompensationsschaltung 2 kompensiert bzw. entzerzt die

nicht-lineare Verzerrung, welche durch den AD-Wandler 1 entstanden ist. Von der Kompensationsschaltung 2 wird letztendlich eine Abfolge kompensierter digitaler Daten y_n als Ausgangsdatenfolge ausgegeben.

5

Um die Kompensation durchführen zu können, werden der Kompensationsschaltung 2 Koeffizienten $c_1, c_2, \dots, c_K, c_0$ zugeführt, welche entsprechend dem nicht-linearen Verzerrungsverhalten des AD-Wandlers 1 bestimmt oder
10 berechnet wurden. Der Index $k = 1, 2, \dots, K$ dient dabei als Laufindex für die Koeffizienten c_k der Kompensation.

Mit der derart aufgebauten Schaltungsanordnung aus dem AD-Wandler 1 mit der nachgeschalteten Kompensationsschaltung
15 2, welcher der Satz aus Koeffizienten c_1, \dots, c_K zugeführt wird, ist somit ein einfacher Aufbau bereitgestellt, welcher eine Analog-Digital-Wandlung eines analogen Signals $x(t)$ zu einer nicht nicht-linear verzerrten Abfolge kompensierter digitaler Daten y_n ermöglicht.

20

Zum Bestimmen der Koeffizienten c_1, \dots, c_K dienen zusätzliche Bauelemente der Schaltungsanordnung, welche in dem gestrichelt umrahmten Abschnitt dargestellt sind. Diese zusätzlichen Bauelemente sind zweckmäßigerweise nur während
25 einer Konfigurationsphase aktiv. Alternativ zu dieser nachfolgend beschriebenen Schaltungsanordnung ist auch der Einsatz eines Speichers möglich, in welchem ein einmalig zuvor bestimmter Satz aus Koeffizienten c_1, \dots, c_K hinterlegt ist, welcher generell für die Kompensation
30 einsetzbar ist. Bevorzugt wird jedoch der nachfolgend beschriebene Schaltungsaufbau, welcher eine Anpassung der Koeffizienten c_1, \dots, c_K an die tatsächlichen und/oder momentanen Bedingungen ermöglicht.

Bei der beispielhaft dargestellten Schaltungsanordnung wird von einem Testsignal-Generator 3 ein Testsignal $s(t)$ erzeugt und in der Konfigurationsphase an den Eingang des AD-Wandlers 1 angelegt. Der Testsignal-Generator 3 stellt
5 außerdem entweder die Parameter s_n zur Erzeugung des analogen Testsignals $s(t)$ oder eine diesem analogen Testsignal $s(t)$ entsprechende Abfolge digitaler Testsignal-Daten S_n bereit. Diese Parameter s_n oder Testsignal-Daten S_n werden einer Koeffizienten-Bestimmungsanordnung 5 und/oder
10 einer Testsignal-Überprüfungseinrichtung 4 zugeführt.

Außerdem weist die Schaltungsanordnung eine Koeffizienten-Bestimmungsanordnung 5 zum Bestimmen der durch die Kompensationsschaltung zu verwendenden Koeffizienten c_1, \dots
15 c_K auf. Neben einem Ausgang zum Übergeben der bestimmten Koeffizienten c_1, \dots, c_K, c_0 an die Kompensationsschaltung 2 weist die Koeffizienten-Bestimmungsanordnung 5 einen Eingang auf, welchem die Abfolge digitaler Daten x_n des AD-Wandlers 1 zugeführt wird. Ferner weist die Koeffizienten-
20 Bestimmungsanordnung 5 einen Eingang auf, welchem Verzerrungs- bzw. Differenzdaten D_n zugeführt werden. Die Differenzdaten D_n werden von einem Subtraktionsglied 6 bereitgestellt, welchem die Abfolge kompensierter digitaler Daten y_n vom Ausgang der Kompensationsschaltung 2 zugeführt
25 wird. Das Subtraktionsglied 6 bekommt außerdem direkt oder über die Testsignal-Überprüfungseinrichtung 4 eine Abfolge digitaler Signaldaten S_n zugeführt. Die Abfolge digitaler Signaldaten S_n entspricht in der Konfigurationsphase einer Signalabbildung des Testsignals, wobei diese
30 Signalabbildung nach geeigneter Koeffizientenbestimmung möglichst oder idealerweise ganz unverzerrt ist.

Während der Konfigurationsphase wird somit vom Testsignal-Generator 3 das analoge Testsignal $s(t)$ erzeugt und dem AD-
35 Wandler 1 zugeführt. Dieser führt eine Analog-Digital-

Wandlung zu der Abfolge digitaler Daten x_n durch, welche einerseits der Kompensationsschaltung 2 und andererseits der Koeffizienten-Bestimmungsanordnung 5 zugeführt werden. Bei noch nicht vorhandenem Satz von Koeffizienten $c_1, \dots c_K$ gibt die Kompensationsschaltung 2 als Abfolge kompensierter digitaler Daten y_n die von dem AD-Wandler 1 verzerrte Abfolge digitaler Daten $x_n = y_n$ aus. Diese wird dem Subtraktionsglied 6 zugeführt, welches auch eine entsprechende Abfolge digitaler Testsignal-Daten S_n zugeführt bekommt, welche einem unverzerrten Datensatz entsprechen. Nach einer Subtraktion der beiden Abfolgen von Daten $(y_n - S_n)$ wird der Koeffizienten-Bestimmungsanordnung 5 die Abfolge von Daten des Differenzsignals D_n zugeführt. Mit diesen Daten bestimmt die Koeffizienten-Bestimmungsanordnung 5 einen Satz Koeffizienten $c_1, \dots c_K, c_0$, welcher der Kompensationsschaltung 2 zur zukünftigen Kompensation zugeführt wird.

Nachfolgend wird gemäß bevorzugter Ausführungsform vom Testsignal-Generator 3, der auch aus einem Speicher mit einem analogen Testsignal $s(t)$ und einem digitalen entsprechenden Parametersatz s_n bestehen kann, erneut ein Testsignal $s(t)$ zum AD-Wandler 1 geführt. Die von dem AD-Wandler 1 erzeugte Abfolge digitaler Daten x_n wird daraufhin von der Kompensationsschaltung 2 gemäß dem dieser zugeführten Satz aus Koeffizienten $c_1, \dots c_K$ kompensiert, so dass die Abfolge kompensierter digitaler Daten y_n im Idealfall bei bereits optimal bestimmten Koeffizienten $c_1, \dots c_K$ ohne nicht-lineare Verzerrung ausgegeben wird. Die Abfolge kompensierter digitaler Daten y_n wird wiederum dem Subtraktionsglied 6 zugeführt, in welchem nach Subtraktion mit den entsprechenden Werten der Abfolge digitaler Testsignal-Daten S_n wiederum die Abfolge von Daten D_n des Differenzsignals erzeugt wird. Diese Differenzdaten D_n werden der Koeffizienten-Bestimmungsanordnung 5 wieder

zugeführt, welche in dem Fall, dass die Differenzdaten D_n ungleich Null sind oder vorgegebene Schwellenwerte übersteigen, eine erneute oder bevorzugt eine iterativ verbesserte Koeffizienten-Bestimmung zum Bereitstellen
5 verbesserter Koeffizienten $c_1, \dots c_K$ durchführt.

Nach der Bestimmung eines ausreichend entzerrenden bzw. kompensierenden Satzes von Koeffizienten $c_1, \dots c_K$ wird die Konfigurationsphase beendet, woraufhin durch die
10 Schaltungsanordnung aus AD-Wandler 1 und Kompensationsschaltung 2 eine Umwandlung und Kompensation eines analogen Signals $x(t)$ zu einer Abfolge kompensierter digitaler Daten y_n durchgeführt wird.

15 Zweckmäßigerweise wird in regelmäßigen Abständen eine Konfigurationsphase eingeleitet, um den verwendeten Satz von Koeffizienten $c_1, \dots c_K$ bezüglich der Aktualität zu überprüfen. Auf diese Art und Weise können driftende nicht-lineare Verzerrungen durch beispielsweise eine Erwärmung
20 der Schaltungsanordnung oder sonstige Störeinflüsse aus der Umgebung ausgeglichen werden.

Die Konfigurationsphase wird entsprechend den Anforderungen genügend oft ein- und ausgeschaltet, so dass eventuelle
25 langsame Veränderungen der nicht-linearen Verzerrungen rechtzeitig erkannt und kompensiert werden können. Dabei ist natürlich auch eine Vorausbestimmung und Berücksichtigung zu erwartender weiterer Verschlechterungen oder Verbesserungen bei der Entwicklung der Verzerrungen
30 prinzipiell möglich.

Zum Steuern der Kompensationsschaltungsanordnung wird vorteilhafterweise eine Steuereinrichtung C verwendet, die mit einer Zeitüberwachungseinrichtung, insbesondere einem
35 Zeitgeber T, verbunden ist. Neben dem Ein- und Ausschalten

der Konfigurationsphase steuert die Steuereinrichtung C auch die einzelnen Komponenten über z. B. Bus 7.

Möglich ist insbesondere auch die Bereitstellung
 5 verschiedenartiger Testsignale $s(t)$, s_n für verschiedene Anwendungsbereiche der Schaltungsanordnung, so dass die Koeffizienten c_1, \dots, c_k beispielsweise optimal auf ein niederfrequentes oder auf ein hochfrequentes analoges
 10 Signal $x(t)$ angepasst werden können.

Nachfolgend werden die einzelnen Schaltungskomponenten sowie Verfahrensabläufe unter Bezug auf die mathematischen Hintergründe näher betrachtet.

15 Ausgegangen wird dabei für die Konfigurationsphase von einem analogen Testsignal

$$s(t),$$

20 welchem nach einer Analog-Digital-Wandlung ohne eine nicht-lineare Verzerrung die theoretischen, unverfälschten Abtastwerte

$$S_n = s\left(\frac{n}{F_s}\right),$$

25 entsprechen, welche wiederum nach einer optimalen Kompensation als Abfolge kompensierter digitaler Daten y_n aus der Kompensationsschaltung 2 ausgegeben werden sollten. Dabei sind n ein Laufindex aus der Menge der natürlichen
 30 Zahlen und F_s die Abtastfrequenz des AD-Wandlers 1.

Nach der Zuführung des analogen Testsignals $s(t)$ zu dem AD-Wandler 1 und der Analog-Digital-Wandlung in diesem wird an

dessen Ausgang die Abfolge digitaler Daten x_n bereitgestellt
gemäß

$$x_n = s_n + d_n.$$

5

Die Abfolge digitaler Daten x_n entspricht somit der
Summierung der korrekten theoretischen und unverfälschten
Abtastwerte s_n und einem jeweiligen Verzerrungs-Datenwert
 d_n , welcher der entsprechenden Verzerrung durch den AD-
10 Wandler 1 entspricht.

Die digitale Kompensationsschaltung 2, welche unter Einsatz
der Koeffizienten c_1, \dots, c_K aus der verzerrten Abfolge
digitaler Daten x_n die letztendlich auszugebende Abfolge
15 kompensierter digitaler Daten y_n erzeugt, muss somit eine
Kompensation mit einer Kennlinie durchführen, welche durch
ein Polynom K-ter Ordnung beschrieben werden kann:

$$(1) \quad y_n = \sum_{k=1}^K c_k \cdot x_n^k = v \cdot s_n + D_n = S_n + D_n.$$

20 Dabei entsprechen die Koeffizientenwerte c_k mit $k = 1, 2, \dots, K$ adaptiven Koeffizienten, d. h. Koeffizienten, welche
nach Bedarf angepasst werden. Das Ausgangssignal bzw. die
Abfolge von ausgegebenen kompensierten digitalen Daten y_n
beinhaltet eine Abbildung des Testsignals bzw. der Abfolge
25 der digitalen Testsignal-Daten S_n zuzüglich einer
möglicherweise gegebenen Veränderung v , insbesondere
Verstärkung oder ~~Verzerrung~~-Dämpfung. Die Abfolge der
kompensierten digitalen Daten S_n ist somit als Produkt aus
einem Verzerrungsfaktor v und der Abfolge digitaler
30 Testsignal-Daten s_n beschreibbar gemäß

$$S_n = v \cdot s_n,$$

wobei die effektiven Verzerrungen der Schaltungsabfolge aus dem AD-Wandler 1 und bei nicht ausreichender Kompensation der Kompensationsschaltung 2 durch die Abfolge der Differenzdaten D_n beschrieben werden kann gemäß

5

$$(2) \quad D_n = y_n - S_n.$$

Da die Parameter s_n des Testsignals bekannt sind, kann von der Testsignal-Überprüfungseinrichtung 4 aus der Abfolge kompensierter digitaler Daten y_n die Abfolge der Ausgangssignal-Daten S_n extrahiert werden, so dass mittels des Subtraktionsgliedes 6 die eigentlichen Verzerrungs- bzw. Differenzdaten D_n in den Daten y_n am Ausgang der Kompensationsschaltung 2 berechnet werden können. Außerdem können die Gradienten der quadratischen Verzerrung

15

$$\frac{\partial D_n^2}{\partial c_k} = 2 \cdot (y_n - S_n) \cdot x_n^k = 2 \cdot D_n \cdot x_n^k.$$

Mit Hilfe eines iterativen Verfahrens ist es möglich, den Satz aus Koeffizienten c_k konvergieren zu lassen. Dazu kann der Ansatz

20

$$(3) \quad c_k^{n+1} = c_k^n - G \cdot D_n \cdot x_n^k$$

25

gewählt werden, so dass letztendlich die quadratische Verzerrung bzw. Leistung minimiert wird. In der Formel (3) ist als Stabilitätskriterium ein Parameter G eingeführt, welcher zugleich eine möglichst hohe

30

Konvergenzgeschwindigkeit leisten soll. c_k^n beschreibt dabei den Wert des Koeffizienten c_k im n -ten Iterationsschritt, wobei der Koeffizient der Kompensation c_k wiederum den Laufindex $k = 1, \dots, K$ hat. Die Iterationsschritte werden

vorzugsweise ab dem Wert Null gezählt, so dass gilt $n = 0, 1, \dots$.

Gemäß besonders bevorzugter Ausführungsform wird als
 5 Testsignal $s(t)$ vorzugsweise ein sinusförmiges Testsignal
 $s(t) = \sin[2\pi t]$ verwendet, um eine nicht-lineare
 Kompensation durchzuführen, weil die Struktur der
 Verzerrungen durch den AD-Wandler 1 und möglicherweise
 weitere Verzerrungen durch die Kompensationsschaltung 2
 10 damit einfach ermittelbar sind. Ein nicht-linear
 verzerrender AD-Wandler 1 mit dem Sinus-Eingangssignal auf
 einer Frequenz F_t produziert Oberwellen auf Frequenzen $p \cdot F_t$,
 welche wegen der Abtastung heruntergefaltet werden können
 zu

15

$$f_k = \begin{cases} (p \cdot F_t)_{\text{mod } F_s} & (p \cdot F_t)_{\text{mod } F_s} \leq \frac{F_s}{2} \\ F_s - (p \cdot F_t)_{\text{mod } F_s} & (p \cdot F_t)_{\text{mod } F_s} \geq \frac{F_s}{2} \end{cases}.$$

Dabei ist $p = 2, 3, \dots, M$ Laufindex der
 Frequenzberechnung.

20

Falls die ersten M Grundwellen signifikant sind,
 insbesondere $p = 2, \dots, M$ gilt, sollte die Testfrequenz F_t
 so gewählt werden, dass das Frequenzband $2B$ um die
 Grundwelle, wo sich keine der ersten M Oberwellen
 25 herunterfalten, maximiert wird gemäß

$$(4) \quad B = \max_{F_t} \left\{ \min_{p=2, \dots, M} \{F_t - fp\} \right\}.$$

Die Extraktion des Testsignals bzw. der Abfolge der
 30 Ausgangssignal-Daten S_n kann dann mit Hilfe eines für sich

bekannten Verfahrens zur Trägeraufbereitung durchgeführt werden. Außerdem sollte berücksichtigt werden, dass das Testsignal $s(t)$ bzw. die diesem zugeordnete Abfolge der Ausgangssignal-Daten S_n amplitudengetreu ist.

5

Um dies zu erzielen, kann eine Schaltungsanordnung verwendet werden, welche auf einem I/Q-Demodulator (I:Inphase, Q:Quadraturphase) und einer Cordic-Schaltung 43 mit Berechnung von Phase und Amplitude der eingegebenen Abfolge digitaler Daten y_n basiert. Eine beispielhafte Schaltungsanordnung entspricht der Darstellung aus Fig. 2.

10

Frequenz, Amplitude und Gleichstrom (DC: Direct Current) werden mittels einer für sich bekannten Verfahrensweise aus der Regelungstechnik durch Rückkopplung zurückgewonnen. Dabei wird für die Frequenzbestimmung eine vollständige PI-Regelung (PI: proportionale und integrale Anteile) eingesetzt. Für die Bestimmung von Amplitude und Gleichstrom wird eine TP-Regelung benutzt, bei der nur die proportionalen Anteile verwendet werden. Als Regelungsparameter werden der P-Anteil der Amplitudenregelung C_a , der P-Anteil für die DC-Komponente C_{dc} und die P- und I-Anteile der Frequenzregelung C_p bzw. C_i verwendet, welche gleichzeitig das Stabilitätskriterium einer Regelungsschleife erfüllen und eine möglichst schnelle Einschwingung gewährleisten sollen.

20

25

Die von der Kompensationsschaltung 2 ausgegebene Abfolge digitaler Daten y_n wird der Testsignal-Überprüfungseinrichtung 4 zugeführt, wobei die zugeführte Abfolge der digitalen Daten y_n zwei Multiplikationsgliedern 41a, 41b zugeführt wird. Dem ersten der Multiplikationsglieder 41a wird von einem Sinuston-Generator 41 ein sinusförmiges Signal $\sin[2\pi t]$ als zu multiplizierende Signalabfolge zugeführt. Dem zweiten

30

35

Multiplikationsglied 41b wird entsprechend vom Sinuston-Generator eine cosinusförmige Signalabfolge $\cos[2\pi t]$ zugeführt. Nach der Multiplikation werden die beiden Datenfolgen jeweils einem Filter 42 mit einer
5 Unterabtastung P zugeführt. Nach der Filterung werden die in I- bzw. Q-zerlegten Signalkomponenten der Cordic-Schaltung 43 zugeführt, welche zu den aus der Kompensationschaltung 2 ausgegebenen Daten y_n eine entsprechende Amplitude und eine entsprechende Phase
10 bestimmt und über zwei Ausgänge bereitstellt.

Die Signal- bzw. Datenabfolge, welche die Amplitude repräsentiert, wird einer Abfolge aus Bauelementen 44 zugeführt. Diese bestehen aus einem Subtraktionsglied 44a,
15 einem Multiplikationsglied 44b, einem Additionsglied 44c und einem invertierenden Glied (z^{-1}) 44e, dessen Ausgangssignal dem Subtraktionsglied 44a und dem Additionsglied 44c zugeführt wird. Dem Multiplikationsglied 44b wird ein Koeffizientenwert C_a als Regelungsparameter für
20 den P-Anteil der Amplitudenregelung zugeführt. Das Ausgangssignal dieser Abfolge von Bauelementen wird außerdem einem weiteren Multiplikationsglied 44e zugeführt, an dessen zweitem Eingang das Cosinus-Signal $\cos[2\pi t]$ des Sinuston-Generators 41 anliegt. Mit Hilfe dieser Anordnung
25 wird letztendlich die Abfolge der Ausgangssignaldaten S_n bestimmt, welche dann dem differenzbildenden Subtraktionsglied 6 zugeführt wird, welches über den zweiten Eingang die Abfolge der digitalen Daten y_n zeitgleich angelegt bekommt.

30 Die Cordic-Schaltung 43 gibt neben der Amplitude auch eine entsprechende Phase bzw. eine Abfolge von Phasendaten aus. Diese werden ebenfalls einer Schaltungsanordnung aus einer Vielzahl von Bauelementen 45 zugeführt. Beim dargestellten
35 Ausführungsbeispiel besteht diese Schaltungsanordnung aus

zwei parallelen Multiplikationsgliedern 45b, 45a, welchen zusätzlich ein Koeffizientenwert C_p bzw. ein Koeffizientenwert C_i zugeführt wird. Das Ausgangssignal des letztgenannten Multiplikationsgliedes 45a wird einem

5 Additionsglied 45c zugeführt, dessen Ausgangssignal einerseits einem Invertierungsglied (z^{-1}) 45d und andererseits einem weiteren Additionsglied 45e zugeführt wird. Das Ausgangssignal des Invertierungsglieds 45d wird dem zweiten Eingang des erstgenannten Additionsglieds 45c

10 zugeführt. Das zweitgenannte Additionsglied 45e empfängt über den weiteren Eingang Daten von dem Multiplikationsglied 45b, bei welchem auf die Phasendaten der Koeffizientenwert C_p aufmultipliziert wurde. Die Ausgangsdaten dieses Additionsgliedes 45e werden einem

15 weiteren Additionsglied 45f zugeführt, welches zwei zusätzliche Eingänge aufweist. Über den ersten zusätzlichen Eingang wird ein Frequenzverhältnis F_t/F_s der Testfrequenz F_t des AD-Wandlers 1 und der Abtastfrequenz zugeführt. Über den zweiten Eingang wird ein Ausgangswert eines dem

20 Additionsglied 45f nachgeschalteten Invertierungsglied (z^{-1}) 45g zugeführt. Ausgangswerte dieses Invertierungsgliedes 45g werden als Zeitsteuergröße t einem Eingang des Sinuston-Generators 41 zugeführt.

25 Aus der von der Kompensationsschaltung 2 ausgegebenen Abfolge digitaler kompensierter Daten y_n wird außerdem eine DC-Komponente DC_n ausgefiltert und extrahiert. Dazu werden die digitalen kompensierten Daten y_n einer Schaltungsanordnung 46 aus einem Subtraktionsglied 46a,

30 einem Multiplikationsglied 46b, einem Additionsglied 46c und einem Invertierungsglied (z^{-1}) 46d zugeführt. Dem Multiplikationsglied 46b wird über den zweiten Eingang ein Regelungsparameter C_{dc} angelegt. Der Regelungsparameter C_{dc} bestimmt die Geschwindigkeit des Einschwingens. Die

35 ausgegebene Datenfolge des Invertierungsglieds 46d wird

einerseits den Eingängen des Subtraktionsglieds 46a und des Additionsglieds 46c und andererseits dem die Differenzdaten D_n erzeugenden Subtraktionsglied 6 zugeführt.

5 Bei der Schaltungsanordnung gemäß Fig. 2 wird somit die Frequenz F_t mittels einer phasengekoppelten Schleife (PLL) abgeleitet. Das Eingangssignal, welches der Abfolge kompensierter digitaler Daten y_n entspricht, wird in I- und Q-Komponenten zerlegt, die weiter mit einem Tiefpassfilter
10 42 mit einer Grenzfrequenz B gefiltert und unterabgetastet werden. Aus den gefilterten I- und Q-Komponenten rechnet anschließend die Cordic-Schaltung 43 Amplitude und Phase zwischen dem Eingangssignal y_n und dem lokal generierten Sinuston aus dem Sinuston-Generator 41 aus. Die Phase wird
15 als Fehlersignal in die PI-Regelung geführt. Nach einer Einschwingzeit wird der Sinuston-Generator 41 in seinem Cosinus-Zweig ein mit dem Testton synchronisiertes Signal erzeugen. Die Koeffizienten C_p und C_i und die Testfrequenz F_t als bekannte Parameter bestimmen die PI-Regelung.

20 Die Amplitude wird aus dem Amplituden-Ausgang der Cordic-Schaltung 43 mit Hilfe des Regelungsparameters C_a iterativ abgeleitet. Die DC-Komponente wird aus dem Ausgangssignal mit dem Regelungsparameter C_{dc} ausgefiltert und extrahiert.
25 Die gesamte Schaltungsanordnung aus der Testsignal-Überprüfungseinrichtung 4 und dem nachgeschalteten Subtraktionsglied 6 erzeugt letztendlich eine Abfolge von Differenzdaten D_n gemäß der Gleichung (3), welche zu den nicht-linearen Verzerrungen proportional sind.

30 Vorteilhafterweise kann für die Umsetzung einer solchen Schaltungsanordnung auf verfügbare Trägeraufbereitungsanordnungen und Trägeraufbereitungsverfahren zurückgegriffen werden.

Hinzuzufügen sind die Schaltungsanordnungen für die Amplituden- und DC-Komponente.

Eine besonders bevorzugte Ausführungsform der
 5 Kompensationsschaltung 2 ist segmentweise aufgebaut, wie dies aus Fig. 3 ersichtlich ist.

Die von dem AD-Wandler 1 ausgegebene Datenfolge x_n wird in der Kompensationsschaltung 2 einer parallelen Anordnung von
 10 Multiplikationsgliedern 21 zugeführt. Dabei wird dem zweiten Eingang des ersten Multiplikationsglieds 21₁ das gleiche Eingangssignal, d. h. nochmals der entsprechende Datenwert der Datenfolge x_n zugeführt, so dass eine Quadrierung durchgeführt wird. Der Ausgang dieses ersten
 15 Multiplikationsglieds 21₁ wird dem zweiten Eingang des zweiten Multiplikationsglieds 21₂ und so weiter zugeführt, so dass mit jeder weiteren Stufe eine Erhöhung des Exponenten um den Wert 1 bis zu einem Wert x_n^K vorgenommen wird.

20 Auf diese Art und Weise wird eine Potenzierung vorgenommen, wobei jede Potenzierungsstufe einen Ausgang aufweist, so dass Werte der digitalen Daten mit Potenzierungen von x_n^1 , x_n^2 , ..., x_n^K aus dem Eingang und dem Feld von
 25 Multiplikationsgliedern 21 ausgegeben werden. Diese werden dann einem weiteren Feld von Multiplikationsgliedern 22 zugeführt, wobei eine Multiplikation mit jeweils einem entsprechenden der Koeffizienten $c_k(m)$ mit $k = 1, 2, \dots, K$ vorgenommen wird. Beschrieben wird somit eine
 30 mehrgliedrige Anordnung mit den Koeffizienten $c_k(m)$ der Kompensation in dem m-ten Segment mit $m = 0, 1, 2, \dots, N-1$ als m-ten Segment des Amplitudenbereichs. So wird in das erste Multiplikationsglied 22₁ des zweiten
 Multiplikationsfeldes 22 der nicht potenzierte Wert bzw.
 35 die nicht potenzierte Datenfolge x_n^1 sowie der Koeffizient

$c_1(m)$ eingegeben. In das zweite Multiplikationsglied 22_2 werden der einmalig potenzierte Datenwert x_n^2 sowie der zweite Koeffizient $c_2(m)$ eingegeben usw.. Die Ausgangswerte der Multiplikationsglieder $22_1, 22_2, \dots, 22_K$ des zweiten
 5 Multiplikationsfeldes 22 werden einem Addierer 23 zugeführt, welcher eine Addierung sämtlicher Eingangswerte sowie zusätzlich des Null-ten Koeffizienten $c_0(m)$ durchführt und die Abfolge kompensierter digitaler Daten y_n ausgibt.

10 Die vom AD-Wandler 1 ausgegebene Abfolge digitaler Daten x_n wird außerdem der Koeffizienten-Bestimmungsanordnung 5 zugeführt, wobei eine Abrundungsoperation unter Berücksichtigung der N Segmente bei der Bestimmung des Index m in einer Index-Bestimmungseinrichtung 51
 15 durchgeführt wird. Dabei wird die Abfolge digitaler Daten x_n mit ihrem jeweiligen um 1 erhöhten Wert durch 2 dividiert und anschließend mit der Anzahl der Segmente N multipliziert. Der so jeweils erzeugte Segment-Index m wird dann einer Koeffizienten-Speicheranordnung 52 zugeführt,
 20 welche aus einer Vielzahl m paralleler Speicherkomponenten $52_0, 52_1, \dots, 52_{N-1}$ besteht. In den einzelnen Segmenten dieser Koeffizienten-Speicheranordnung 52 sind jeweils die Koeffizienten $c_1(m), c_2(m), \dots, c_K(m)$ und $c_0(m)$ abgespeichert. Zu jedem abgespeicherten Index m gibt es
 25 einen Ausgang zu einem Additionsmitglied $53_1, 53_2, \dots, 53_K, 53_0$, dessen Ausgang wiederum zum selben Segment der Koeffizienten-Speicheranordnung 52 zurückgeführt wird. In den zweiten Eingang der Additionsmitglieder $53_1, \dots$ wird das Ergebnis eines Multiplikationsgliedes $54_1, 54_2, \dots, 54_K$
 30 eingegeben. Den Eingängen dieser Multiplikationsglieder $54_1, 54_2, \dots, 54_K$ wird jeweils der entsprechend potenzierte Wert der Abfolge der digitalen Daten x_n^1, x_n^2, \dots bzw. x_n^K zugeführt. Dem jeweils zweiten Eingang der Multiplikationsglieder $54_1, 54_2, \dots, 54_K$ wird das Ergebnis
 35 eines Multiplikationsgliedes 55 zugeführt, welchem

einerseits die entsprechenden Werte der Differenzdaten D_n und andererseits der negative als Stabilitätskriterium dienende Parameter $-G$ zugeführt werden. Dem letzten Additionsglied 53₀ wird an dessen zweitem Eingang lediglich
 5 der Wert der Differenzdaten D_n , multipliziert mit dem negativen Parameter $-G$, zugeführt.

Mit einer derartigen Schaltungsanordnung kann die Kompensationsschaltung 2 segmentweise realisiert werden.
 10 Der Bereich der Eingangsdatenwerte, d. h. der Abfolge digitaler Daten x_n , aus dem AD-Wandler 1 mit Datenwerten von -1 bis $+1$ wird auf N Segmente gleichmäßig aufgeteilt gemäß

$$-1 + \frac{2}{N}m \leq x_n \leq -1 + \frac{2}{N}(m+1),$$

15 wobei der Segment-Index m zwischen 0 und $N-1$ liegt. Damit ist zu jedem Segment m ein Koeffizientensatz $\{c_0(m), c_1(m), \dots, c_k(m)\}$ zugeordnet. Wegen der segmentalen Interpolation der Kennlinie werden Null-te Koeffizienten $c_0(m)$
 20 hinzuaddiert, so dass für die aus der Kompensationsschaltung 2 ausgegebene Abfolge kompensierter digitaler Daten y_n gilt:

$$(5) \quad y_n = \sum_{k=0}^k c_k(m) \cdot x_n^k \quad \text{mit} \quad m = \left\lfloor N \cdot \frac{x_n + 1}{2} \right\rfloor,$$

25 wobei $\lfloor \rfloor$ die Abrundungsoperation darstellt.

Die Formel (5) zur Kompensation in der Kompensationsschaltung 2 und die iterative Berechnung der
 30 Koeffizienten gemäß Formel (3) lassen sich effektiv zusammen realisieren, wie dies anhand Fig. 3 skizziert ist. In einem Speicher der Größe $N \times (K+1)$, vorliegend der Koeffizienten-Speicheranordnung 52, werden N Sätze mit je $K+1$ Koeffizienten $c_1(m), c_2(m), \dots, c_k(m)$ und $c_0(m)$ für

jeweils $m = 0, 1, 2, \dots, N-1$ abgespeichert. Bei jedem Abtastmoment wird der Index m aus dem Eingangssignal, d. h. dem anliegenden Wert der Abfolge digitaler Daten x_n , gemäß Formel (5) abgeleitet und dem entsprechenden

5 Koeffizientensatz $52_0, 52_1, \dots, 52_{N-1}$ zugeordnet und entsprechend in der Kompensationsschaltung 2 angewendet. Außerdem wird bei dieser Verfahrensweise für jeden Koeffizienten dessen abgespeicherter Wert iterativ gemäß Formel (3) verbessert und auf demselben Speicherplatz

10 abgespeichert.

Wie dies aus Fig. 4 ersichtlich ist, kann das Verfahren mit der segmentalen Interpolation in einem bestimmten Fall mit $N = 2^B$ vereinfacht werden. Dazu ist es erforderlich, dass

15 die Anzahl N der Segmente mit der Auflösung des Signals bzw. der Abfolge der digitalen Daten x_n übereinstimmt, also $N = 2^B$ gilt, wobei B der Anzahl der Bit pro Abtastwert bei einem Signal-Bereich zwischen -2^{B-1} und $2^{B-1}-1$ und nur einem Koeffizienten pro Segment, d. h. $K = 0$, entspricht.

20 Die Schaltung gemäß Fig. 3 reduziert sich dann zu der Schaltung gemäß Fig. 4, welche nach der Indexbestimmungseinrichtung 51 zum Bestimmen des Index m eine Nachschlagtabelle mit 2^B adaptiven Koeffizienten $c_0(m)$

25 in den Speicherfeldern $52_0, \dots, 52_{N-1}$ aufweist. Bei dieser Anordnung entfallen sämtliche Multiplizierglieder 54, so dass nur die erste Additionsstufe mit den Additionsgliedern $53_1, \dots$ verbleibt, wie dies vorstehend beschrieben ist.

30 Erste synthetische Berechnungen mit einem Sinuston als Testsignal $s(t)$ und einem mathematischen Modell der Analog-Digital-Kennlinie mit den verwendeten Frequenzen $F_s = 40,5$ MHz, $F_t = 1,84$ MHz, dem AD-Modell mit Koeffizienten für die Berechnung gemäß $0,9895x + 0,0028x^2 + 0,024x^3 - 0,0064x^4$ und

35 für die Kompensation $N = 1$ Segmenten und einem maximalen

Laufindex m mit $K = 4$ ergab deutliche Verbesserungen. Nach der Analog-Digital-Umwandlung zeigte sich ein anfänglicher Wert von $-60,3$ dB und nach der Kompensation ein Wert von $-80,9$ dB, was eine Verbesserung von $20,5$ dB ergab. Bei einer
5 Messung (K3) zeigte sich eine Verbesserung von $-47,2$ dB nach der AD-Wandlung gegenüber $-56,3$ dB nach der Kompensation mit einer Verbesserung von $9,1$ dB. Das Verhältnis der Verzerrungen zu den Leistungen ergab sich nach der AD-Wandlung mit $-46,8$ dB gegenüber $-55,3$ dB nach
10 der Kompensation, was zu einer Verbesserung von $8,4$ dB führte.

Anstelle einer Vielzahl von einzelnen Bauelementen, wie diese vorstehend beschrieben sind, kann natürlich auch eine
15 Umsetzung in einem entsprechend geeigneten Rechnerbaustein oder in einem einstückig gefertigten Halbleiterbauelement als integrierte Schaltung oder dgl. vorgesehen werden.

Patentansprüche

1. Kompensationsschaltungsanordnung (1-6) zum Kompensieren von nicht-linearen Verzerrungen eines AD-Wandlers (1) (AD:
5 Analog/Digital) mit
 - einem Signaleingang und
 - einer Kompensationsanordnung,
g e k e n n z e i c h n e t durcheine digitale Kompensationsschaltung (2) mit dem
10 Signaleingang als Digitalsignaleingang zum Zuführen nicht-linear verzerrter digitaler Daten (x_n) vom AD-Wandler (1).
2. Kompensationsschaltungsanordnung nach Anspruch 1 mit einer Koeffizienten-Bestimmungsanordnung (5, 21) zum
15 Bestimmen adaptiver Koeffizienten ($c_1, c_2, \dots, c_K; c_1(m), c_2(m), \dots, c_K(m), c_0(m)$) zum Kompensieren der nicht-linearen Verzerrungen in der Kompensationsschaltung (2).
3. Kompensationsschaltungsanordnung nach Anspruch 2 mit
20 einer Steuereinrichtung zum Ein- und Ausschalten einer Konfigurationsphase zum Bestimmen aktueller adaptiver Koeffizienten ($c_1, c_2, \dots, c_K; c_1(m), c_2(m), \dots, c_K(m), c_0(m)$).
- 25 4. Kompensationsschaltungsanordnung nach Anspruch 3 mit einer Zeitüberwachungseinrichtung (C, T) zum regelmäßigen Einschalten der Konfigurationsphase.
5. Kompensationsschaltungsanordnung nach einem der
30 Ansprüche 2 - 4, bei der die Konfigurationsschaltungsanordnung (2 - 6) zum Erzeugen
 - eines analogen Testsignals ($s(t)$) mit bekannten Testsignalparametern (s_n, S_n) ausgebildet ist und
 - eine Verbindung zum Anlegen des analogen Testsignals
35 ($s(t)$) an den Eingang des AD-Wandlers (1) und

- eine Verbindung zum Anlegen der Testsignalparameter (s_n , S_n) zum Weiterverarbeiten in zumindest der Koeffizienten-Bestimmungsanordnung (5) aufweist.

5 6. Kompensationsschaltungsanordnung nach Anspruch 5 mit
einer Testsignal-Überprüfungseinrichtung (4) zum
Extrahieren und Bestimmen der Signalabbildung (S_n) des
analogen Testsignals ($s(t)$) aus den ausgegebenen digitalen
kompensierten Daten (y_n) am Ausgang der
10 Kompensationsschaltung (2) mit Hilfe der
Testsignalparameter (s_n).

7. Kompensationsschaltungsanordnung nach Anspruch 6, bei
der
15 die Testsignal-Überprüfungseinrichtung (4) zum Bestimmen
einer Testfrequenz (F_t) Schaltungselemente (41, 42, 43, 45)
derart aufweist, dass ein Frequenzband ($-B$, B) um eine
Grundwelle maximiert wird, so dass keine von signifikanten
Oberwellen am Ausgang der Kompensationsschaltung (2)
20 heruntergefaltet werden.

8. Kompensationsschaltungsanordnung nach Anspruch 7, bei
der
die Testsignal-Überprüfungseinrichtung (4) einen I/Q-
25 Demodulator (41, 41a, 41b, I: Inphase, Q: Quadraturphase),
eine Cordic-Schaltung (43) und eine
Amplitudenabschätzungseinrichtung (44a - 44e) aufweist.

9. Kompensationsschaltungsanordnung nach einem der
30 Ansprüche 6 - 8 mit
einem Subtraktionsglied (6) zum Bilden von Differenzdaten
(D_n) zwischen von der Kompensationsschaltung (2)
ausgegebenen digitalen Daten (y_n) und der Signalabbildung
(S_n) als Maß für nicht-lineare Verzerrungen.

10. Kompensationsschaltungsanordnung nach einem der Ansprüche 2 - 9, bei der die Koeffizienten-Bestimmungsanordnung (5, 21) zum iterativen Bestimmen der adaptiven Koeffizienten mit
- 5 Minimierung des Quadrats der Differenzen eine Potentierungsanordnung (21) für vom AD-Wandler (1) ausgegebene Daten (x_n) aufweist.
11. Kompensationsschaltungsanordnung nach einem der
- 10 Ansprüche 2 - 10, bei der die Koeffizienten-Bestimmungsanordnung (5, 21) und die Kompensationsschaltung (2) eine Vielzahl (N) gleichmäßiger Segmente aufweisen, denen jeweils ein Polynom mit Koeffizienten ($c_1(m)$, $c_2(m)$, ..., $c_K(m)$, $c_0(m)$) zugeordnet
- 15 ist, wobei die Kompensationsschaltung eine Additionseinrichtung (23) zum Summieren über die Anzahl der Vielzahl von Segmenten aufweist.
12. Kompensationsschaltungsanordnung nach Anspruch 11, bei
- 20 der die Kompensationsschaltung (2) und insbesondere die Koeffizienten-Bestimmungsanordnung (5) eine Koeffizientenspeicheranordnung (52 , 52_0 , ..., 52_{N-1}) zum Abspeichern von N Koeffizientensätzen mit je (K+1)-
- 25 Koeffizienten zur Anwendung in der Kompensationsschaltung (2) aufweist.
13. Kompensationsschaltungsanordnung nach Anspruch 11 oder 12, mit
- 30 einer Index-Bestimmungseinrichtung (51) zum Bestimmen eines der Segmentvielfzahl entsprechenden Index (m) des aktuellen Koeffizientensatzes ($m = 0, 1, 2, \dots, N-1$) aus Eingangsdaten (x_n) der Kompensationsschaltung (2).

14. Kompensationsschaltungsanordnung nach einem der Ansprüche 2 - 13, mit einer Nachschlagtabelle ($52_0, 52_1, \dots 52_{N-1}$) zum Bereitstellen der adaptiven Koeffizienten ($c_1(m), c_2(m), \dots, c_{N-1}(m), c_0(m)$).

15. Kompensationsschaltungsanordnung nach Anspruch 14, bei der die Nachschlagtabelle (52) eine Speicherplatzanzahl (N) gleich der Signalauflösung der zu kompensierenden Daten (x_n) aufweist.

16. Kompensationsschaltungsanordnung nach einem der Ansprüche 11 - 15, bei der die Koeffizienten-Bestimmungsanordnung (5, 21) zum Adressieren der adaptiven Koeffizienten ($c_1(m), c_2(m), \dots, c_{N-1}(m), c_0(m)$) auf Basis der Eingangsdaten (x_n) als Ausgangswerte für die Kompensationsschaltung (2) ausgebildet ist.

17. AD-Wandler-Schaltung mit
- einem AD-Wandler (1) und
- einer Kompensationsanordnung zum Kompensieren von nicht-linearen Verzerrungen des AD-Wandlers (1),
dadurch **g e k e n n z e i c h n e t**, dass die Kompensationsanordnung, insbesondere eine Kompensationsschaltungsanordnung (2 - 6) nach einem vorstehenden Anspruch, als eine digitale, nicht-linear kompensierende Kompensationsschaltung (2) ausgebildet ist
und
die Kompensationsschaltung (2) dem AD-Wandler (1) nachgeschaltet ist.

18. Verfahren zum Kompensieren einer nicht-linearen Verzerrung eines AD-Wandlers (1), bei der

- vom AD-Wandler (1) nicht-linear verzerrte Daten (x_n) ausgegeben werden und
- die nicht-linear verzerrt ausgegebenen Daten (x_n) einer dem AD-Wandler (1) nachgeschalteten Kompensationsschaltung (2), insbesondere Kompensationsschaltungsanordnung (2 - 6) nach einem vorstehenden Anspruch, zum Kompensieren der nicht-linearen Verzerrung zugeführt werden.

19. Verfahren nach Anspruch 18, bei dem
- 10 die nicht-lineare Kompensierung in der Kompensationsschaltung (2) mit Hilfe adaptiver Koeffizienten ($c_1, c_2, \dots, c_K; c_1(m), c_2(m), \dots, c_K(m), c_0(m)$) durchgeführt wird.
- 15 20. Verfahren nach Anspruch 19, bei dem
- ein analoges Testsignal ($s(t)$) erzeugt und dem Analog-Eingang des AD-Wandlers (1) zugeführt wird und
 - mit Hilfe bekannter Testsignalparameter ($s_n; S_n$) aus den zu dem analogen Testsignal ($s(t)$) vom AD-Wandler (1)
- 20 ausgegebenen digitalen Daten (x_n, y_n) die adaptiven Koeffizienten ($c_1, c_2, \dots, c_K; c_1(m), c_2(m), \dots, c_K(m), c_0(m)$) zur Anwendung in der Kompensationsschaltung (2) bestimmt werden.
- 25 21. Verfahren nach Anspruch 19 oder 20, bei dem die adaptiven Koeffizienten ($c_1, c_2, \dots, c_K; c_1(m), c_2(m), \dots, c_K(m), c_0(m)$) iterativ bestimmt werden.
22. Verfahren nach einem der Ansprüche 19 - 21, bei dem
- 30 bei dem Bestimmen der adaptiven Koeffizienten ($c_1, c_2, \dots, c_K; c_1(m), c_2(m), \dots, c_K(m), c_0(m)$) das Quadrat der Differenz der vom AD-Wandler (1) ausgegebenen nicht-linear verzerrten digitalen Daten (x_n) gegenüber den durch die Kompensationsschaltung (2) mit Hilfe zuvor verwendeter
- 35 adaptiver Koeffizienten bestimmt wird.

Zusammenfassung

Kompensationsschaltungsanordnung und Kompensationsverfahren
zum Kompensieren von nicht-linearen Verzerrungen eines AD-
5 Wandlers

Die Erfindung bezieht sich auf eine
Kompensationsschaltungsanordnung (1-6) zum Kompensieren von
nicht-linearen Verzerrungen eines AD-Wandlers (1) (AD:
10 Analog/Digital) mit einem Signaleingang und einer
Kompensationsanordnung.

Um hohe Kosten für ein aufwendiges Analogdesign des AD-
Wandlers (1) und/oder um in diesem und der
15 Kompensationsanordnung einen hohen Energieverbrauch zu
vermeiden, wird vorgeschlagen, als
Kompensationsschaltungsanordnung eine
Kompensationsschaltung (2) aus digitalen
Schaltungselementen zu verwenden, welche dem AD-Wandler (1)
20 nachgeschaltet ist und ein nicht-linear-verzerrtes
Ausgangssignal des AD-Wandlers (1) zum Kompensieren der
nicht-linearen Verzerrung zugeführt bekommt. Zum
Kompensieren werden dabei bevorzugt adaptive Koeffizienten
verwendet.

25

Fig. 1